

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-149435
 (43)Date of publication of application : 12.06.1989

(51)Int.CI. H01L 21/88
 H01L 21/30
 H01L 21/30

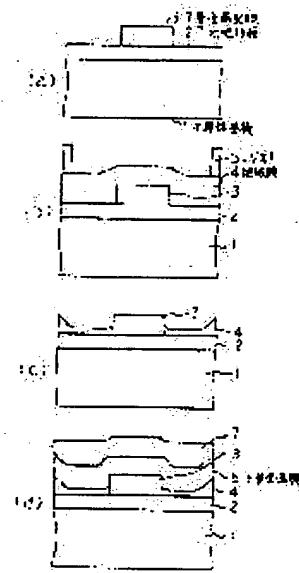
(21)Application number : 62-307895 (71)Applicant : SEIKO INSTR & ELECTRON LTD
 (22)Date of filing : 04.12.1987 (72)Inventor : MAEDA TETSUYA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To perform correctly an alignment without increasing the number of processes by a method wherein an insulating film deposited on an alignment mark and its periphery is etched at the time of etching of a contact hole and thereafter, the upper part of a lower metallic wiring and the surface of the insulating film are covered with an upper metal film.

CONSTITUTION: An alignment mark is formed of a lower metallic wiring 3 formed on a base insulating film 2 consisting of an oxide film and so on. Then, an insulating film 4 is formed in such a way as to cover this wiring 3 and after a flattening is performed, the surface of the film 4 is covered with a resist 5 and the resist on the alignment mark part and its periphery is removed by exposing and developing simultaneously the alignment mask part and its peripheral part at the time of exposure of a contact hole part. Then, the alignment mark part and its periphery are etched simultaneously at the time of etching of the contact hole to expose the upper part of the wiring 3 on the film 4. Then, the upper part of the wiring 3 and the surface of the film 4 are covered with an upper metal film 6, the upper part of the hole 6 is covered with a resist 7 and an alignment is performed with a laser beam and so on.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 平1-149435

⑬ Int.Cl.
 H 01 L 21/88 識別記号 庁内整理番号 ⑭ 公開 平成1年(1989)6月12日
 21/30 301 C-6708-5F
 311 M-7376-5F
 B-7376-5F 審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特願 62-307895
 ⑰ 出願 昭62(1987)12月4日

⑱ 発明者 前田 哲也 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内
 ⑲ 出願人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
 会社

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

- ① 多層金属配線を形成する工程が、
- ② 下層金属配線を形成する工程と、
- ③ 前記下層金属配線を覆う絶縁膜を形成し、
- ④ 平滑化を行う工程と、
- ⑤ 上下層金属のコンタクト孔のレジストを、
- ⑥ 絶縁膜上にパターニングを行う工程と、
- ⑦ コンタクト孔のエッチングを行う工程と、
- ⑧ 前記コンタクト孔エッチング時に露呈した
- ⑨ 下層金属配線に上層金属膜を被覆する工程と、
- ⑩ 前記上層金属膜にレジストをコートし、下層金属配線にアライメントを行い、露光し、現像を行うことにより、上層配線のレジストを形成する工程と、
- ⑪ 上層金属のエッチングを行う工程とからな

ることを特徴とする半導体装置の製造方法。

⑫ 前記下層金属配線において、上層金属配線のアライメントを行う為のマークを形成し、マーク上及びマークの周辺の絶縁膜をコンタクト孔同時にエッチングを行い、上層配線の露光時のアライメントを行うことを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、多層配線を有する半導体装置の製造方法に関する。

(発明の概要)

この発明は、多層配線構造を有する半導体を製造する際におけるフォトリソグラフィー工程において、上層配線のレジストパターニングの為のアライメントを、コンタクト孔エッチング時に露呈された下層金属の露蓋を用いて行う方法である。

(従来の技術)

第2回(4~6)に従来の多層配線の上層配線のレ

特開平1-149435 (2)

リストをバーニングする為のアライメントマークの製造方法を示す。

第2回図に示すように、半導体基板1上に形成した絶縁膜2の上に形成された下層金属3により、アライメントマークを形成する。第2回図に示すように、絶縁膜4を被覆し、平坦化を行い、さらにその上にレジスト5を被覆した状態でコンタクト孔のエッチングを行う。第3回図に示すように、レジスト除去後上層配線用金属6を形成し、上層金属表面に形成された下層金属の露地に、レーザー光等を照射し、その反射光によって、アライメントを行う。

【発明が解決しようとする問題点】

しかし従来方法は、平坦化された絶縁膜上にさらに上層金属を形成し、さらにレジストを被布し、その上からレーザー光等を照射してアライメントを行うため、入射光は、平坦な上層金属表面で反射され、その反射光を検出するため、検出のエッジ部の検出が困難であり、特に、上層金属膜の裏面の反射率が高い場合には、反射光のバックグラ

ウンドノイズが大きい場合が多く、より、アライメントマークの検出がより一層困難である。

【問題点を解決するための手段】

上記問題点を解決するために、アライメント用マーク及びその周辺に埋められた絶縁膜を、コンタクト孔エッチング時に、エッチングを行い、その後、上層金属を被覆する。

【作用】

上記方法を施すことにより、下層金属の露地をより鮮明に上層金属表面に転写することができる。

【実施例】

以下に本発明の実施例を図面に添付して説明する。第1回図は絶縁膜等から成る下地絶縁膜に示すように3の上に形成された下層金属配線3によりアライメントマークを形成する。次に、この下層金属配線3を覆うように絶縁膜4を形成し、平坦化を行った後レジスト5を被覆し、コンタクト孔部分の露光時に同時にアライメントマーク部分及びその周辺部を露光し、現像を行うことにより、アライメントマーク部及びその周辺のレジストを

除去する(第1回図)。次に第1回図のように、コンタクト孔エッチング時に、アライメントマーク部分及びその周辺を同時にエッチングし、下層金属3の上部を絶縁膜4の上に露呈させる。

次に、第1回図のように、上層金属膜6で被覆し、その上にレジスト5で被覆し、レーザー光等でアライメントを行う。

【発明の効果】

本発明により、下層金属の露地が、より鮮明に上層金属に転写されるため、露地膜がいかに平坦化されていても、また、絶縁膜エッチング後の露地膜形状の如何によらず、また、工程を増やすことなく、正確にアライメントを行うことができる。

4. 図面の簡単な説明

第1回図～4は本発明の実施例の半導体装置の製造方法を示す工程断面図、第2回図～6は従来の半導体装置の製造方法を示す工程断面図である。

1...半導体基板

2...下地絶縁膜

3...下層金属配線

4...絶縁膜

5, 7...レジスト

6...上層金属膜

以上

出願人 セイコー電子工業株式会社

(3)

特開平1-149435

特開平1-149435(3)

